

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-122322
(43)Date of publication of application : 25.04.2003

(51)Int.Cl. G09G 3/36
G02F 1/133
G09G 3/20

(21) Application number : 2001-319266

(71)Applicant : SONY CORP

(22) Date of filing : 17.10.2001

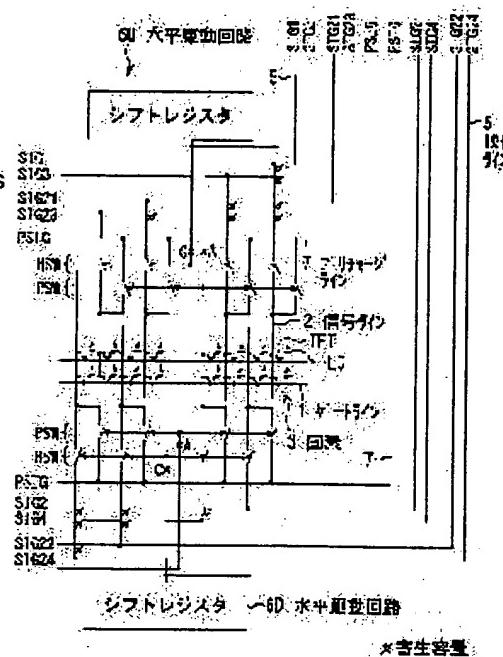
(72)Inventor : UCHINO KATSUHIDE
YAMASHITA JUNICHI

(54) DISPLAY DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To suppress ghosts in a mode for sampling a plurality of pixels at the same time by reducing parasitic capacitance of wiring.

SOLUTION: The sampling switch group makes 24 switches HSW into one unit, and is connected between 24 signal lines 2 and 24 video lines 5. Horizontal drive circuits 6U and 6D drive the 24 switches HSW at the same time and sample 24 video signals for corresponding 24 signal lines 2, respectively, and successively carry out the sampling for respective 24 signal lines, and write the video signal on the pixel 3 of a selected row. Twenty-four video lines 5 are divided vertically, and the lines of the upper half are connected to corresponding even-numbered signal lines 2 via each switch HSW, and the lines of the lower half are connected to each odd-numbered signal line 2 via each switch HSW.



LEGAL STATUS

[Date of request for examination] 25.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3601499

[Date of registration] : 01.10.2004

[Number of appeal against examiner's decision of

[rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

0418061-SNY

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-122322

(P2003-122322A)

(43) 公開日 平成15年4月25日 (2003.4.25)

(51) Int.Cl.⁷

G 0 9 G 3/36

G 0 2 F 1/133

G 0 9 G 3/20

識別記号

5 5 0

6 1 1

6 2 2

F I

G 0 9 G 3/36

G 0 2 F 1/133

G 0 9 G 3/20

テマコト^{*} (参考)

2 H 0 9 3

5 C 0 0 6

5 C 0 8 0

6 1 1 J

6 2 2 L

審査請求 未請求 請求項の数 5 OL (全 8 頁) 最終頁に続く

(21) 出願番号

特願2001-319266(P2001-319266)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 内野 勝秀

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72) 発明者 山下 淳一

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74) 代理人 100092336

弁理士 鈴木 晴敏

(22) 出願日

平成13年10月17日 (2001.10.17)

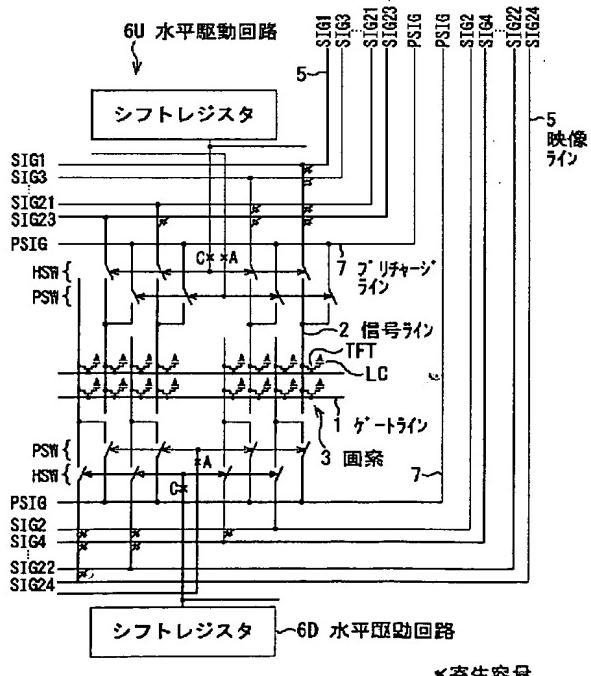
最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 複数画素同時サンプリング方式において、配線の寄生容量を削減し、もってゴーストを抑制する。

【解決手段】サンプリングスイッチ群は、24個のスイッチHSWを単位とし、24本の信号ライン2と24本の映像ライン5との間に接続されている。水平駆動回路6U, 6Dは、24個のスイッチHSWを同時に駆動して対応する24本の信号ライン2に24系統の映像信号をそれぞれサンプリングし、且つこのサンプリングを順次24本の信号ライン毎に行ない、選択された行の画素3に映像信号を書き込む。24本の映像ライン5は上下に分かれて配されており、上半分は各スイッチHSWを介して対応する偶数番目の信号ライン2に接続する一方、下半分は各スイッチHSWを介して奇数番目の各信号ライン2に接続している。



* 寄生容量

【特許請求の範囲】

【請求項1】 行方向に配されたゲートライン、列方向に配された信号ライン及び各ゲートラインと各信号ラインが交差する部分に行列配置された画素を含む画素アレイ部と、該ゲートラインに接続し順次画素の行を選択する垂直駆動回路と、所定の位相関係でn系統に分かれた映像信号を供給するn本の映像ラインと、各信号ラインに対応して配されており、n本の信号ラインを単位として該n本の映像ラインの各々との間に接続されたn個のスイッチを単位とするサンプリングスイッチ群と、該n個のスイッチを同時に駆動して対応するn本の信号ラインに該n系統の映像信号をそれぞれサンプリングし、且つこのサンプリングを順次n本の信号ライン毎に行ない、もって選択された行の画素に映像信号を書き込む水平駆動回路とからなる表示装置において、前記n本の映像ラインは上下に分かれて配されており、上半分の映像ラインは各スイッチを介して対応する各信号ラインに接続する一方、下半分の映像ラインも各スイッチを介して対応する各信号ラインに接続し、前記水平駆動回路が上下に分割されており、上側の水平駆動回路は上半分の映像ラインから対応する信号ラインに各映像信号をサンプリングする一方、下側の水平駆動回路は下半分の映像ラインから対応する信号ラインに各映像信号をサンプリングすることを特徴とする表示装置。

【請求項2】 互いに隣り合う信号ラインは、一方が上側に配された映像ラインに接続し、他方が下側に配された映像ラインに接続されていることを特徴とする請求項1記載の表示装置。

【請求項3】 前記画素アレイ部は、隣り合う画素列の間で奇数行離れた2行を単位としてゲートラインが配されており、前記上下に分割された水平駆動回路は、同一のゲートラインに接続されて隣り合う画素に対して対応する信号ラインを通して互いに逆極性の映像信号を書き込むことを特徴とする請求項2記載の表示装置。

【請求項4】 上側の水平駆動回路は上半分の映像ラインから各信号ラインに同極性の映像信号をサンプリングする一方、下側の水平駆動回路も下半分の映像ラインから各信号ラインに同極性の映像信号をサンプリングし、以って各映像ラインが感じる寄生容量のレベルを抑制し、ゴーストに対するマージンを上げることを特徴とする請求項3記載の表示装置。

【請求項5】 所定のプリチャージ信号を供給するプリチャージラインも上下に分かれて配されており、前記上下に分かれた水平駆動回路は、それぞれ上側のプリチャージラインからスイッチを通して対応する信号ラ

インにプリチャージ信号を印加し、下側のプリチャージラインからスイッチを通して対応する信号ラインにプリチャージ信号を印加することを特徴とする請求項1記載の表示装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、アクティブマトリクス型の表示装置に関する。より詳しくは、複数の画素に対して同時に映像信号を書き込んでいく「複数画素同時サンプリング方式」を採用する表示装置の配線改良技術に関する。

【0002】

【従来の技術】 図4は、従来のアクティブマトリクス型表示装置の典型例を示すプロック図である。表示装置〇は、画素アレイ部9、水平駆動回路6、垂直駆動回路4及びプリチャージ駆動回路8とで構成されている。画素アレイ部9は行状に配されたゲートライン1と、列状に配された信号ライン2と、両ラインが交差する部分に配された画素3とで構成されている。垂直駆動回路4は左右に分かれており、各ゲートライン1を両側から線順次駆動し、画素3を行単位で選択していく。水平駆動回路6は各信号ライン2に接続し、外部から供給される映像信号を各信号ライン2にサンプリングし、もって選択された画素3の行に映像信号を書き込む。この場合、個々の画素に対して順次映像信号を書き込んでいく「点順次駆動」を行なうのが一般的である。プリチャージ駆動回路8も各信号ライン2に接続されている。点順次駆動を行なう際、各画素に書き込む映像信号を1行毎に反転させる場合、画素アレイ部9の各列毎に配線された信号ライン2への映像信号のサンプリングによる充放電電流が大きいと、「縦スジ」として表示画面上に見えてしまう。この映像信号のサンプリングによる充放電電流をなるべく抑える為に、プリチャージ駆動回路8は映像信号の書き込みに先立って、あらかじめプリチャージラインを介して供給されたプリチャージ信号を各信号ライン2に印加しておく。このプリチャージは各画素3に対する映像信号の点順次書き込みに先行する形で行なわれ、やはり点順次でプリチャージ信号を信号ライン2にサンプリングする様にしている。

【0003】

【発明が解決しようとする課題】 アクティブマトリクス型で点順次駆動を採用する表示装置では、パネルの高精細化に伴い、画素数は増加している。画素数の増加に伴い、1画素ずつ点順次駆動を行なうと、1画素当りに割り当てられる映像信号の書き込み時間が不足してしまう。これに対処する為、パネルに映像ラインを複数設けて複数の映像信号を入力し、複数画素に同時サンプリングすることで十分な書き込み時間を得ている。この場合、複数系統の映像信号の位相をあらかじめ相対的に調整しておく必要がある。従来のアクティブマトリクス型

表示装置の規格（XGA、SXGA）では、同時サンプリング数は12である。しかし、更に画素の高精細化が進むに連れ、同時サンプリング数が12では十分な書き込み時間が確保できなくなっている。例えば、UXGA規格では24画素同時サンプリングを行なっており、この場合の映像ラインのレイアウトを図5に示す。

【0004】図5に示した表示装置の画素アレイ部は、行方向に配されたゲートライン1、列方向に配された信号ライン2及び各ゲートライン1と各信号ライン2が交差する部分に行列配置された画素3を含んでいる。図示の例の場合、画素3は薄膜トランジスタ（TFT）と液晶セルLCとで構成されている。TFTのゲート電極は対応するゲートライン1に接続し、ソース電極は対応する信号ライン2に接続し、ドレイン電極は対応する液晶セルLCの一方の電極（画素電極）に接続している。液晶セルLCの他方の電極（対向電極）には、所定の対向電位が供給される。垂直駆動回路4は各ゲートライン1に接続し、順次画素3の行を選択する。このパネルには24本の映像ラインSIG1～SIG24が引き回されており、所定の位相関係で24系統に分かれた映像信号を外部からパネルに供給している。図示の例では、24本の映像ラインSIGは、画素アレイ部と水平駆動回路6との間に引き回されている。サンプリングスイッチ群が映像ラインSIGの束と列状の信号ライン2との間に配されている。このサンプリングスイッチ群は、24本の信号ラインを単位として24本の映像ラインSIGの各々との間に接続された24個のスイッチHSWを単位として構成されている。水平駆動回路6はシフトレジスタの多段接続からなり、外部から供給されたクロックHCKに応じて動作し、同じく外部から供給されたスタートパルスHSTを順次転送することで、シフトレジスタの各段からドライブパルスA、B、C…を順次出力している。水平駆動回路6は、このドライブパルスにより、24個のスイッチHSWを同時に駆動して対応する24本の信号ライン2に24系統の映像信号SIG1～SIG24をそれぞれサンプリングし、且つこのサンプリングを順次24本の信号ライン2毎に行ない、もって選択された行の画素3に映像信号SIGを書き込む。以下、本明細書では映像信号と映像ラインと同じ符号SIGで表わす場合がある。

【0005】画素アレイ部と下側のプリチャージ駆動回路8との間に、プリチャージラインPSIGが引き回されており、外部から所定レベルのプリチャージ信号PSIGを供給する。ここでも、プリチャージラインとプリチャージ信号を同じ記号で表わす場合がある。1本のプリチャージラインPSIGと列状の信号ライン2との間に、別のサンプリングスイッチ群が設けられている。映像信号書き込み用のスイッチHSWと同様に、このプリチャージ信号書き込み用のスイッチPSWは、24個を一組として、プリチャージ駆動回路8により開閉駆動さ

れる様になっている。従って、プリチャージ駆動回路8は、水平駆動回路6と同様の構成となっており、シフトレジスタの多段構成からなる。シフトレジスタは外部から供給されるクロックPCKに応じて動作し、同じく外部から供給されるプリチャージスタートパルスPSTを順次転送することで、ドライブパルスA'、B'…を出力している。

【0006】図6は、図5に示した表示装置の動作説明に供する波形図である。プリチャージスタートパルスPSTが先行して入力され、その後続いて水平スタートパルスHSTが入力される。又、水平駆動回路6に供給される動作クロックHCKとプリチャージ駆動回路8に供給されるプリチャージ動作クロックPCKは同一周波数のパルス列となっている。プリチャージ駆動回路8はPCKに応じてPSTを転送し、PSW用のドライブパルスA'、B'、C'を順次出力する。これにより、24個のPSWを一組として同時駆動し、順次信号ライン2にプリチャージ信号を書き込む。これと平行に、水平駆動回路6はHCKに応じて動作し、HSTを順次転送してHSW用の駆動パルスA、B、C…を出力する。これにより、24本の信号ライン2を一組として、順次映像信号がサンプリングされていく。PSTがHSTに先行している関係から、プリチャージ信号のサンプリングが映像信号のサンプリングに対して、先行する形で行なわれていく。

【0007】再び図5に戻って発明が解決しようとする課題を説明する。一般に、パネル内で交差する配線ライン間には寄生容量が発生する。特に、同時サンプリング方式では、24本の映像ラインSIG1～SIG24は、その各々が各信号ライン2と交差した引き回しとなり、交差部分の容量が、各映像ラインSIGに寄生容量として付いてしまう。映像ラインの寄生容量が大きくなるに連れて、映像信号SIGは鈍ってしまい、いわゆる「ゴースト」と呼ばれる表示不良の原因となる。同時サンプリング数が倍増すれば、寄生容量も倍増し、映像信号パルスの鈍りは悪化し、ゴーストマージンが減少してしまう。特に、ドットライン反転駆動方式では、隣り合う映像ラインに供給される映像信号の極性は逆になっている。この為、各映像ラインが感じる容量値は更に増大し、ゴーストマージンは更に悪化てしまい、解決すべき課題となっている。

【0008】

【課題を解決するための手段】上述した従来の技術の課題に鑑み、本発明は複数画素同時サンプリング方式の表示パネルにおいて、配線の寄生容量を削減し、もってゴーストを抑制することを目的とする。係る目的を達成するために以下の手段を講じた。すなわち、本発明は、行方向に配されたゲートライン、列方向に配された信号ライン及び各ゲートラインと各信号ラインが交差する部分に行列配置された画素を含む画素アレイ部と、該ゲート

ラインに接続し順次画素の行を選択する垂直駆動回路と、所定の位相関係で n 系統に分かれた映像信号を供給する n 本の映像ラインと、各信号ラインに対応して配されており、 n 本の信号ラインを単位として該 n 本の映像ラインの各々との間に接続された n 個のスイッチを単位とするサンプリングスイッチ群と、該 n 個のスイッチを同時に駆動して対応する n 本の信号ラインに該 n 系統の映像信号をそれぞれサンプリングし、且つこのサンプリングを順次 n 本の信号ライン毎に行ない、もって選択された行の画素に映像信号を書き込む水平駆動回路とからなる表示装置において、前記 n 本の映像ラインは上下に分かれて配されており、上半分の映像ラインは各スイッチを介して対応する各信号ラインに接続する一方、下半分の映像ラインも各スイッチを介して対応する各信号ラインに接続し、前記水平駆動回路が上下に分割されており、上側の水平駆動回路は上半分の映像ラインから対応する信号ラインに各映像信号をサンプリングする一方、下側の水平駆動回路は下半分の映像ラインから対応する信号ラインに各映像信号をサンプリングすることを特徴とする。

【0009】好ましくは、互いに隣り合う信号ラインは、一方が上側に配された映像ラインに接続し、他方が下側に配された映像ラインに接続されている。この場合、前記画素アレイ部は、隣り合う画素列の間で奇数行離れた 2 行を単位としてゲートラインが配されており、前記上下に分割された水平駆動回路は、同一のゲートラインに接続されて隣り合う画素に対して対応する信号ラインを通して互いに逆極性の映像信号を書き込む。この場合、上側の水平駆動回路は上半分の映像ラインから各信号ラインに同極性の映像信号をサンプリングする一方、下側の水平駆動回路も下半分の映像ラインから各信号ラインに同極性の映像信号をサンプリングし、以って各映像ラインが感じる寄生容量のレベルを抑制し、ゴーストに対するマージンを上げる。又、所定のプリチャージ信号を供給するプリチャージラインも上下に分かれて配されており、前記上下に分割された水平駆動回路は、それぞれ上側のプリチャージラインからスイッチを通して対応する信号ラインにプリチャージ信号を印加し、下側のプリチャージラインからスイッチを通して対応する信号ラインにプリチャージ信号を印加する。

【0010】本発明によれば、パネルに設ける映像ラインは、パネル内部で上下に半分ずつ分割してレイアウトする。これに対応し、サンプリングスイッチ群及び水平駆動回路も上下に分けて配設する。この方式では、各映像ラインにオーバーラップする信号ラインの本数は従来に比べ半減する為、寄生容量も半減し、ゴーストマージンを上げることができる。

【0011】

【発明の実施の形態】以下図面を参照して本発明の実施の形態を詳細に説明する。図 1 は、本発明に係る表示装

置の好適な実施形態を示す回路図である。理解を容易にする為、図 4 及び図 5 に示した従来の表示装置と対応する部分には対応する参照番号を付してある。本表示装置は画素アレイ部、水平駆動回路、垂直駆動回路、サンプリングスイッチ群、映像ライン、プリチャージラインを含んでいる。但し、図示を簡略化する為垂直駆動回路は省いてある。画素アレイ部は、行方向に配されたゲートライン 1、列方向に配された信号ライン 2 及び各ゲートライン 1 と各信号ライン 2 が交差する部分に行列配置された画素 3 とで構成されている。個々の画素 3 は TFT と液晶セル LC とで構成されている。但し本発明はこれに限られるものではなく、TFT に代えて他の能動スイッチング素子を用いることができる。又、液晶セル LC に代えて他の電気光学素子を用いることができる。垂直駆動回路(図示せず)は、各ゲートライン 1 に接続し、順次画素 3 の行を選択する。映像ライン 5 は所定の位相関係で 24 系統に分かれた映像信号 SIG1～SIG24 を供給する為に、24 本設けられている。但し、本発明はこれに限られるものではなく、一般に映像ライン 5 は n 系統に分かれた映像信号を供給する為に n 本設けられている。サンプリングスイッチ群は各信号ライン 2 に対応して配されており、24 本の信号ラインと 24 本の映像ライン 5 との各々の間に接続された 24 個のスイッチ HSW を単位としている。水平駆動回路はシフトレジスタの多段接続で構成されている。但し、図では 1 段のシフトレジスタのみを表わしている。水平駆動回路は、24 個のスイッチ HSW を同時に駆動して、対応する 24 本の信号ライン 2 に 24 系統の映像信号 SIG1～SIG24 を書き込む。図では、24 個一組の HSW 及び 24 本一組の信号ライン 2 のみを表わしている。これが、水平駆動回路のシフトレジスタ 1 段に対応している。

【0012】本発明の特徴事項として、24 本の映像ライン 5 は上下に分かれてレイアウトされている。上半分の映像ライン 5 は、各スイッチ HSW を介して対応する各信号ライン 2 に接続する一方、下半分の映像ライン 5 は同じく各スイッチ HSW を介して対応する各信号ライン 2 に接続している。本例の場合、互いに隣り合う信号ライン 2 は、一方が上側に配された映像ライン 5 に接続し、他方が下側に配された映像ライン 5 に接続している。これに対応して、水平駆動回路も上下に分割されている。上側の水平駆動回路 6U は上半分の 12 本の映像ライン 5 から、対応する偶数番の信号ライン 2 に各映像信号 SIG1, SIG3, ..., SIG23 をサンプリングする一方、下側の水平駆動回路 6D は下半分の 12 本の映像ライン 5 から、対応する奇数番の信号ライン 2 に各映像信号 SIG2, SIG4, ..., SIG24 をサンプリングする。

【0013】又、所定のプリチャージ信号PSIGを供給するプリチャージライン7も、画素アレイ部の上下に分かれて配されている。これに応じて、プリチャージ用のスイッチ群PSWも、HSWと同様の構成で上下に分かれて形成されている。但し、図5に示した従来例と異なり、本実施形態ではプリチャージ駆動回路を別途設けることなく、上下の水平駆動回路6U、6Dで、それぞれプリチャージ駆動回路を兼ねている。即ち、上側の水平駆動回路6Uは、上側のプリチャージライン7からスイッチPSWを通して対応する偶数番の信号ライン2にプリチャージ信号を印加する。下側の水平駆動回路6Dも、下側のプリチャージライン7からスイッチPSWを通して対応する奇数番の信号ライン2にプリチャージ信号を印加する。この為、上側の水平駆動回路6Uは、前段側から先に出力されたドライブパルスAを先行してPSWに印加し、その後当該段から出力されたドライブパルスCをHSWに印加している。これにより、先にプリチャージ信号PSIGをサンプリングした後、続いて映像信号SIGをサンプリングすることができる。下側の水平駆動回路6Dも同様である。

【0014】図2は、図1に示した表示装置の動作説明に供する波形図である。図示する様に、上側の水平駆動回路6Uには動作クロックHCKとスタートパルスHSTが供給される。これにより、水平駆動回路6UはHCKに応じてHSTを転送し、順次ドライブパルスA、B、C・・・を出力する。下側の水平駆動回路6Dも全く同様に上側の水平駆動回路6Uと同期して動作し、ドライブパルスA、B、C・・・を順次出力する。図1の例では、シフトレジスタの先行する段からドライブパルスAが出力された時点で、24個のPSWが一齊に開き、24本の信号ライン2に同時にプリチャージ信号PSIGがサンプリングされる。その後一段おいて当該段からドライブパルスCが出力されると、24個のHSWが一齊に開動作し、24系統に分かれた映像信号SIG1～SIG24が、対応する24本の信号ライン2に同時サンプリングされる。

【0015】上述した様に、24本の映像ラインはパネル内部で上下に半分ずつ分割してレイアウトされ、同じく上下に分割された水平駆動回路（スキャナ）に割り当てられる。この方式では、各映像ラインのオーバーラップ数は従来方式に比べて半減する為、その寄生容量も半減し、ゴーストマージンを上げることができる。映像ラインを上下に分割してレイアウトする為に、例えば奇数の信号ラインは上側から、偶数の信号ラインは下側から各画素に映像信号を入力する。即ち、互いに隣り合う信号ラインは、一方が上側に配された映像ラインに接続し、他方が下側に配された映像ラインに接続する。この場合、上側の映像ラインと下側の映像ラインとで、互いに反対極性の映像信号を供給すると、画素アレイ部ではちょうどドット反転もしくはドットライン反転駆動とな

り、隣り合う信号ラインにサンプリングされる映像ラインの極性が逆になる。一方、上側で束ねられた映像ラインには同極性の映像信号が供給される為、映像ラインが感じる寄生容量値は増大せず、ドットライン反転駆動時のゴーストマージンを上げることができる。同様に、下側で束ねられた映像ラインにも同極性の映像信号が供給されることになる。

【0016】図1に示した実施形態では、プリチャージラインも上下に分割してレイアウトしている。これにより、プリチャージの上下方向の対称性がよくなる。この場合、パネル上下に設けた各水平駆動回路は、従来のプリチャージ駆動回路を兼ねた役割を担っている。前述した様に、図1の実施形態では、HSWに自段のシフトレジスタから出力されたドライブパルスを印加し、PSWには前側の他段のシフトレジスタから出力されたドライブパルスを印加している。これにより、同一画素につながるHSW、PSWを異なるタイミングでオンオフできる。具体的には、HSWに先行してPSWをオンすることができる。尚、配線抵抗を上下で等しくする為、配線が長くなるパネル下部の映像ラインは、上部の映像ラインに比べて、線幅を太くすることが好ましい。

【0017】図3は、図1に示した実施形態において、格子状に画素を配列した通常の画素アレイ部に代えて、いわゆるドットライン反転方式に対応した画素アレイ部を採用した例を示している。互いに隣り合う信号ライン2U、2Dは、一方が上側に配された映像ライン（図示せず）に接続し、他方が下側に配された映像ライン（図示せず）に接続されている。画素アレイ部は、隣り合う画素列の間で奇数行離れた2行を単位としてゲートライン1が配されている。本例の場合は、1行離れた2行を単位としてゲートライン1が配されており、言わばゲートライン1が2行の画素間で1列毎に蛇行してレイアウトされている。上下に分割された水平駆動回路（図示せず）は、同一のゲートライン1に接続されて隣り合う画素3U、3Dに対して対応する信号ライン2U、2Dを通して互いに逆極性の映像信号H、Lを書き込む様にしている。

【0018】

【発明の効果】以上説明した様に、本発明によれば、複数の映像ラインをパネルの上下に半分ずつ分けて引き回し、同じく上下に分割された水平駆動回路に入力する。この方法で、各映像ラインの寄生容量を従来から半減し、映像信号の鈍りを抑えて、ゴーストを抑制することが可能である。

【図面の簡単な説明】

【図1】本発明に係る表示装置の実施形態を示す回路図である。

【図2】図1に示した実施形態の動作説明に供する波形図である。

【図3】本発明に係る表示装置の他の実施形態の主要部

を示す模式図である。

【図4】従来の表示装置の典型例を示すブロック図である。

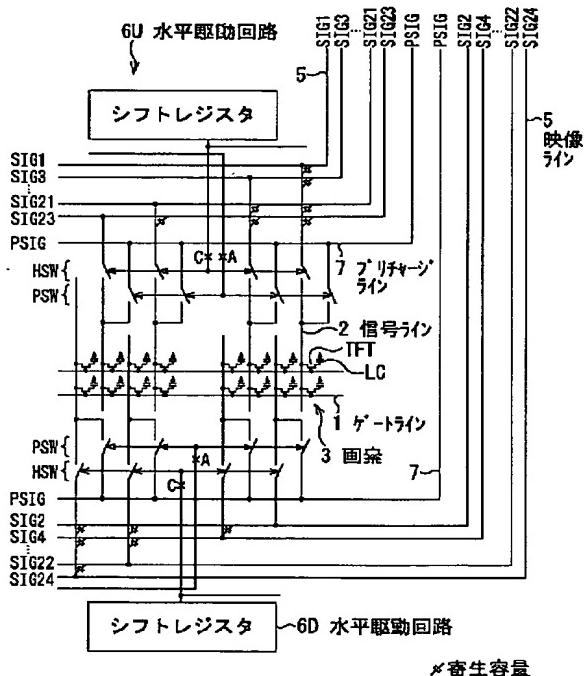
【図5】従来の表示装置の一例を示す回路図である。

【図6】図5に示した表示装置の動作説明に供するタイミングチャートである。

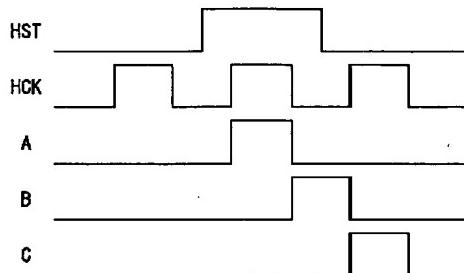
【符号の説明】

0 · · · 表示装置、1 · · · ゲートライン、2 · · · 信号ライン、3 · · · 画素、4 · · · 垂直駆動回路、5 · · · 映像ライン、6, 6U, 6D · · · 水平駆動回路、7 · · · プリチャージライン、8 · · · プリチャージ回路

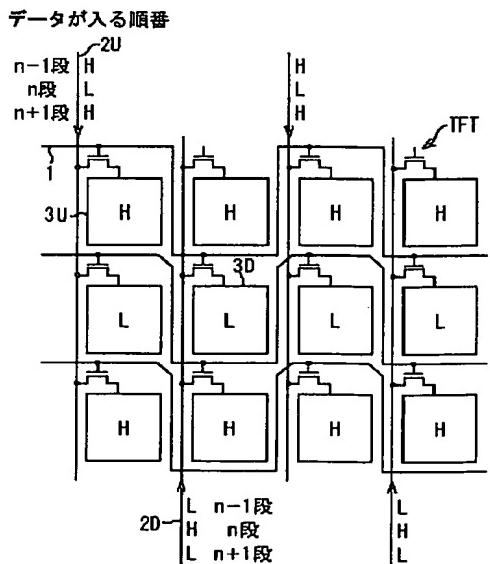
【図1】



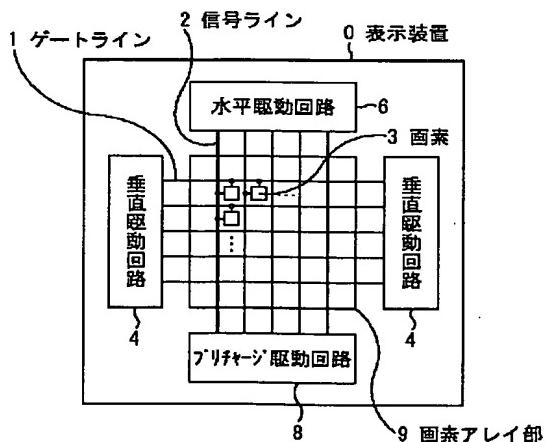
【図2】



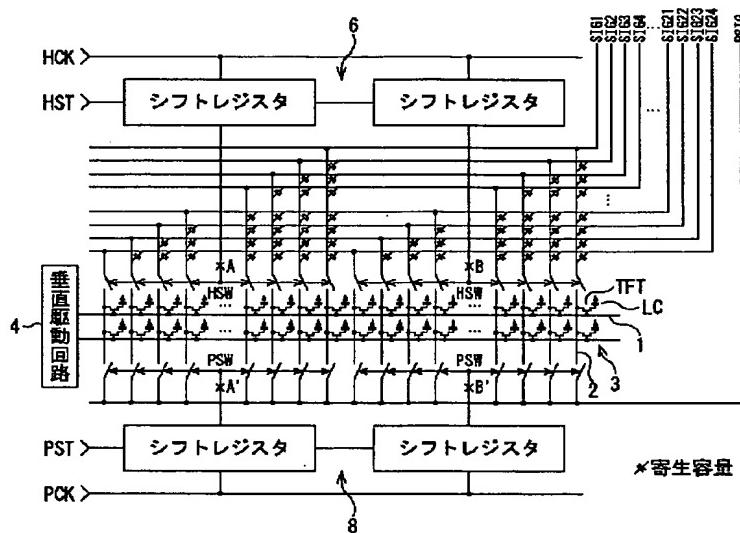
【図3】



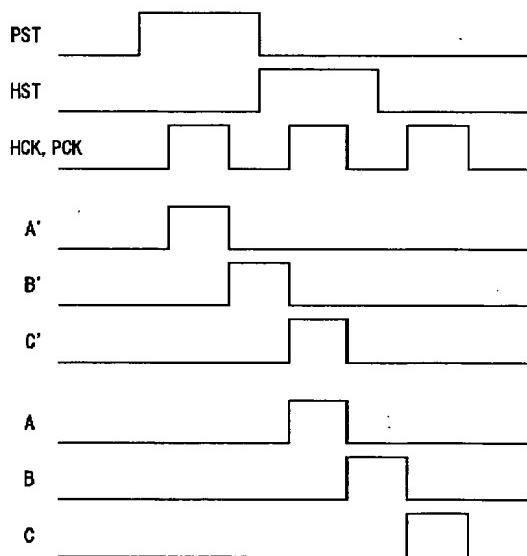
【図4】



【図5】



【図6】



フロントページの続き

(51) Int. Cl. 7

G 09 G 3/20

識別記号

6 2 3

F 1

G 09 G 3/20

マークコード(参考)

6 2 3 B

6 2 3 L

6 2 3 R

F ターム(参考) 2H093 NB07 NC11 NC22 NC23 NC34
ND12
5C006 AC21 AF43 AF50 BB16 BC11
BC16 BF03 BF11 FA21 FA36
FA37
5C080 AA10 BB05 DD01 DD10 DD12
FF11 JJ02 JJ04